

[MENU] [SEARCH] [INDEX] [DETAIL] [JAPANESE] [BACK]

2 / 2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-003287

(43)Date of publication of application : 06.01.1999

(51)Int.CI.

G06F 12/16
G11C 16/02

(21)Application number : 09-154857

(71)Applicant : HITACHI LTD

(22)Date of filing : 12.06.1997

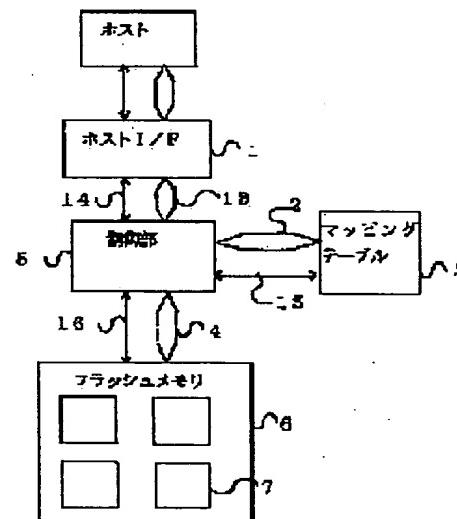
(72)Inventor : KUBUSHIRO NORIKO

(54) STORAGE DEVICE AND STORAGE AREA MANAGEMENT METHOD USED FOR THE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a storage device for reducing the number of times of moving real data in a flash memory and the number of times of eliminating an elimination block based on the rewrite frequency of the real data for respective logical addresses.

SOLUTION: This device is provided with a flash memory 6 where plural elimination blocks 7 are formed; a table 3 for registering the correspondence between a logical address for indicating a storage position recognized by an external device and a physical address for indicating an actual storage position in the flash memory 6 and registering the number of rewrite times of the real data for the respective logical addresses; and a control part 5 for controlling the access of the flash memory 6 by utilizing the registered information of the table 3 and updating the registered information of the table 3 by eliminating the storage data of the flash memory 6 and changing the storage position. Then, the control part 5 changes the storage position of the real data based on the number of rewrite times of the real data for the respective logical addresses and equalizes the respective numbers of rewrite times of the real data stored in the same elimination block.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-3287

(43)公開日 平成11年(1999)1月6日

(51) Int.Cl.⁶
 G 0 6 F 12/16
 G 1 1 C 16/02

識別記号
 3 1 0

F I
 G 0 6 F 12/16
 G 1 1 C 17/00

3 1 0 A
 6 0 1 B

審査請求 未請求 請求項の数 8 OL (全 7 頁)

(21)出願番号 特願平9-154857

(22)出願日 平成9年(1997)6月12日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 久布白 紀子

茨城県ひたちなか市大字市毛882番地 株

式会社日立製作所計測器事業部内

(74)代理人 弁理士 富田 和子

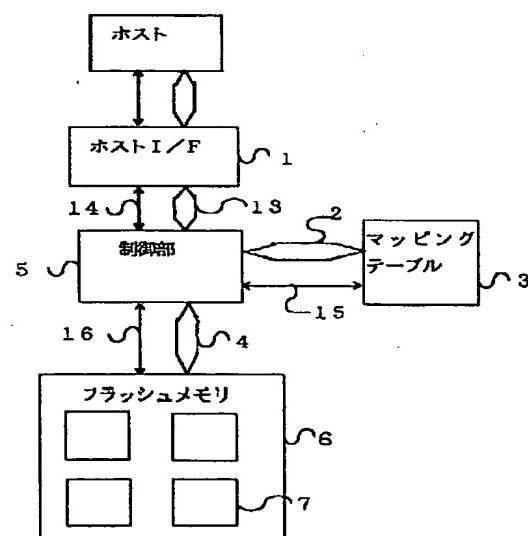
(54)【発明の名称】 記憶装置およびそれに用いられる記憶領域管理方法

(57)【要約】

【課題】 論理アドレス毎の実データの書換頻度に基づいて、フラッシュメモリでの実データの移動回数および消去ブロックの消去回数を低減する記憶装置を提供する。

【解決手段】 複数の消去ブロック7が形成されたフラッシュメモリ6と、外部の装置が認識する格納位置を示す論理アドレスと、フラッシュメモリ6における実際の格納位置を示す物理アドレスとの対応関係と、論理アドレス毎の実データの書換回数とが登録されるテーブル3と、テーブル3の登録情報をを利用してフラッシュメモリ6のアクセス制御を行うと共に、フラッシュメモリ6の格納データの消去と格納位置の変更を行ってテーブル3の登録情報を更新する制御部5とを備え、制御部5は、論理アドレス毎の実データの書換回数を基に、実データの格納位置を変更し、同じ消去ブロックに格納される実データの各書換回数が同程度となるようにする。

図 1



【特許請求の範囲】

【請求項1】複数の消去ブロックが形成されたフラッシュメモリを有する記憶装置において、外部の装置が認識する格納位置を示す論理アドレスと、前記フラッシュメモリにおける実際の格納位置を示す物理アドレスとの対応関係と、前記論理アドレス毎の実データの書換回数とが登録されるテーブルと、前記テーブルの登録情報をを利用して前記フラッシュメモリのアクセス制御を行うと共に、前記フラッシュメモリの格納データの消去と格納位置の変更を行って前記テーブルの登録情報を更新する制御部とを備え、前記制御部は、前記論理アドレス毎の実データの書換回数を基に、前記実データの格納位置を変更し、同じ消去ブロックに格納される実データの各書換回数が同程度となるようにすることを特徴とする記憶装置。

【請求項2】請求項1記載の記憶装置において、前記制御部は、予め定めた単位で前記実データの書換回数を監視し、同じ単位の書換回数の実データを同じ消去ブロックに格納するようにすることを特徴とする記憶装置。

【請求項3】請求項1記載の記憶装置において、前記テーブルには、さらに、前記各消去ブロックの消去回数が登録され、前記制御部は、さらに、消去回数が多い消去ブロックの格納データを、消去回数が少ない消去ブロックに格納し、消去回数が少ない消去ブロックの格納データを、消去回数が多い消去ブロックに格納することを特徴とする記憶装置。

【請求項4】請求項3記載の記憶装置において、前記制御部は、消去回数が多い消去ブロックの内、書換回数の多い実データが多く格納されている消去ブロックの実データを優先的に、消去回数が少ない消去ブロックに格納し、消去回数が少ない消去ブロックの内、書換回数の少ない実データが多く格納されている消去ブロックの格納データを優先的に、消去回数が多い消去ブロックに格納することを特徴とする記憶装置。

【請求項5】複数の消去ブロックが形成されたフラッシュメモリに対する記憶領域の管理方法において、論理アドレスと、前記フラッシュメモリにおける実際の格納位置を示す物理アドレスとの対応関係と、前記論理アドレス毎の実データの書換回数とを管理し、前記論理アドレス毎の実データの書換回数を基に、前記実データの格納位置を変更し、同じ消去ブロックに格納される実データの各書換回数が同程度となるようにすることを特徴とする記憶領域管理方法。

【請求項6】請求項5記載の記憶領域管理方法において、予め定めた単位で前記実データの書換回数を監視し、同じ単位の書換回数の実データを同じ消去ブロックに格納するようにすることを特徴とする記憶領域管理方法。

【請求項7】請求項5記載の記憶領域管理方法において、

前記各消去ブロックの消去回数をさらに管理し、消去回数が多い消去ブロックの格納データを、消去回数が少ない消去ブロックに格納し、消去回数が少ない消去ブロックの格納データを、消去回数が多い消去ブロックに格納することを特徴とする記憶領域管理方法。

【請求項8】請求項7記載の記憶領域管理方法において、

- 10 消去回数が多い消去ブロックの内、書換回数の多い実データが多く格納されている消去ブロックの実データを優先的に、消去回数が少ない消去ブロックに格納し、消去回数が少ない消去ブロックの内、書換回数の少ない実データが多く格納されている消去ブロックの格納データを
- 15 優先的に、消去回数が多い消去ブロックに格納することを特徴とする記憶領域管理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電気的に書き換えの可能な不揮発性メモリを用いた記憶装置に係り、特に、フラッシュメモリを用いた記憶装置に関する。

【0002】

【従来の技術】コンピュータの外部記憶装置には、電源の供給無しにデータを保持し、データの書き換えを行う機能が要求される。この機能を安価かつ小型に実現可能な記憶装置としては、フラッシュメモリを用いた記憶装置がある。フラッシュメモリは、データの書換前に旧データの消去を必要とし、さらに、データの書き換えにより素子の機能が劣化するという特徴を持つ。

- 30 【0003】フラッシュメモリでの旧データの消去は、一般に、書き込むデータの単位よりも充分に大きい、消去ブロックとよばれる単位で一括して行われる。また、無効データの割合が多い消去ブロックが優先的に消去され、その消去ブロックの有効データは、別の消去ブロックに移動される。

【0004】このような記憶装置においてフラッシュメモリの長寿命化を図る技術としては、特開平5-151097号公報や、特開平6-124596号公報に記載された方法が知られている。これらの公報に記載の方法は、共に、フラッシュメモリの記憶領域のローテーションを行うことで、同じ記憶領域での消去および書き換えの集中を避けるようにしたものである。具体的には、フラッシュメモリの例えば各消去ブロック毎に消去回数を管理し、消去回数が多い消去ブロックと消去回数が少ない消去ブロックとで、格納データの移動または交換を行う。そして、上記消去回数が多い消去ブロックの消去を制限するなどして、各消去ブロック毎の消去回数を均等化する。

【0005】

【発明が解決しようとする課題】記憶装置に格納される

実データには、例えばプログラムのように、書き換えがほとんど発生しないデータや、例えばプログラムの変数データのように、頻繁に書き換えが行われるデータなど、書換頻度が異なる実データが混在している。

【0006】しかしながら、上記従来の方法では、論理アドレス毎の実データの書換頻度は考慮せずに、各消去ブロック毎の消去回数を基に記憶領域のローテーションを行う。このため、常に、各消去ブロックに書換頻度の異なるデータが混在し、書換頻度の高いデータの無効データ化により、その消去ブロックが消去されて、書換頻度の低いデータも消去ブロックの移動を繰り返されるという現象が起こる。よって、格納データの移動の頻度が高くなり、各消去ブロック毎の書換回数は増加してしまう。

【0007】そこで、本発明は、論理アドレス毎の実データの書換頻度に基づいて、フラッシュメモリでの実データの移動回数および消去ブロックの消去回数を低減する記憶装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記の目的を達成するため、本発明は、複数の消去ブロックが形成されたフラッシュメモリを有する記憶装置において、外部の装置が認識する格納位置を示す論理アドレスと、前記フラッシュメモリにおける実際の格納位置を示す物理アドレスとの対応関係と、前記論理アドレス毎の実データの書換回数とが登録されるテーブルと、前記テーブルの登録情報をを利用して前記フラッシュメモリのアクセス制御を行うと共に、前記フラッシュメモリの格納データの消去と格納位置の変更を行って前記テーブルの登録情報を更新する制御部とを備え、前記制御部は、前記論理アドレス毎の実データの書換回数を基に、前記実データの格納位置を変更し、同じ消去ブロックに格納される実データの各書換回数が同程度となるようにすることを特徴とする記憶装置を提供する。

【0009】このような記憶装置によれば、書換回数の少ない実データが同じ消去ブロックに格納され、無効データの増加による格納位置の移動が低減されるため、フラッシュメモリにおける実データの移動回数および消去ブロックの消去回数が低減される。

【0010】

【発明の実施の形態】以下、本発明の実施形態について、図面を参照して説明する。

【0011】図1は、本発明の実施形態に係る外部記憶装置の構成を示すブロック図である。

【0012】図示するように、外部記憶装置は、ホスト計算機とのインターフェースであるインターフェース回路(I/F)1と、記憶領域を形成するフラッシュメモリ6と、管理情報が記録されるマッピングテーブル3と、フラッシュメモリ6のアクセス制御を行う制御部5と、これらを接続するデータバス2、4、13および制御信

号線14、15、16とを備える。なお、この外部記憶装置の機能は、計算機内に組み込まれる記憶装置や、計算機と着脱可能なカード型記憶装置に適用することができる。

- 05 【0013】ホスト計算機は、フラッシュメモリ6で書き込む実データと読み出す実データとを、論理アドレスにより管理する。実データには、書き換えが頻繁に行われるものや、ほとんど書き換えの行われないものなど、書換頻度が異なる複数種類のデータが含まれる。
- 10 【0014】マッピングテーブル3は例えばRAMからなる。マッピングテーブル3に格納される管理情報としては、フラッシュメモリ6の物理アドレスと、ホスト計算機が記憶位置の指定に用いる論理アドレスと、各論理アドレスに対応付けられた実データの書換回数と、データ有効フラグと、消去ブロックの書換回数とが含まれる。これらの管理情報は、制御部5により管理され、アクセス制御で利用される。なお、消去ブロックの書換回数は、例えば製品出荷時において0値とされる。
- 15 【0015】フラッシュメモリ6の記憶領域は、図2に示すように、複数の消去ブロック7に分割されており、消去ブロック7の単位で一括して消去がなされる。各消去ブロック7の記憶領域には、図3に示すように、複数の物理セクタ10からなる物理セクタ領域8と、その消去ブロック7の書換回数がバックアップ用に格納される。
- 20 【0016】消去ブロック管理領域9とが形成されている。制御部5によるデータの書き込みおよび読み出しは、物理セクタ10の単位で実施される。
- 25 【0017】各物理セクタ10には、図4に示すように、ホストからの実データが格納されるデータ格納領域30 11と、バックアップ用の管理情報が格納される論理セクタ管理領域12とが形成されている。論理セクタ管理領域12の管理情報には、対応する実データの、論理アドレス、書換回数、データ有効フラグが含まれる。立ち上げ時、外部記憶装置は、これら管理情報を読み出すことでフラッシュメモリ6の格納状態を把握し、マッピングテーブル3の登録を行う。なお、記憶容量は、例えば、各消去ブロック7が64Byte、物理セクタ10が528バイト、データ格納領域8が512バイト、論理セクタ管理領域9が16バイトとする。
- 30 【0018】制御部5は、例えば、制御プログラムなどが格納されたメモリと、その制御プログラムに従って処理を行うCPUとからなる。制御部5は、インターフェース回路1を通してホスト計算機機から、新規データの書き込み要求と、既存データの読み出し要求と、既存データの書換要求とを受けて、フラッシュメモリ6のアクセス制御を行う。また、フラッシュメモリ6でのデータ書き換えの進行に伴い、書換回数を低減させるガベージコレクション制御と、各消去ブロック7の書換回数を平均化させる書換回数平均化制御を行う。
- 35 【0019】また、制御部5は、図5に示すように、ガ

ページコレクション用と書込回数線上用とに、それぞれ1つの消去ブロック7を確保する。なお、これら消去ブロック7の位置は、フラッシュメモリ6の格納状態に応じて随時変更される。また、書込回数線上用の消去ブロック7は複数設けてよい。

【0019】新規データの書込要求を受けた場合、制御部5は、マッピングテーブル3でフラッシュメモリ6の空き状態の物理セクタを検索し、検索により選択した物理セクタに、指定された実データを格納する。そして、その物理セクタの物理アドレスに、受け取った論理アドレスとを対応付け、論理セクタ管理領域12およびマッピングテーブル3で管理情報の登録を行う。この時、論理セクタの書換回数は0値とされ、データ有効フラグは有効値とされる。

【0020】読出要求を受けた場合には、指定された論理アドレスに対応する物理アドレスをマッピングテーブル3で検索し、検索により得た物理アドレスの物理セクタから実データを読み出し、インターフェース回路1を通してホスト計算機に送る。

【0021】書換要求を受けた場合には、マッピングテーブル3でフラッシュメモリ6の空き状態の物理セクタを検索し、検索により選択した物理セクタに、指定された実データを格納する。そして、その物理セクタの物理アドレスに、指定された論理アドレスを新たに対応付け、マッピングテーブル3および論理セクタ管理領域12で管理情報の登録および更新を行う。この際には、指定された論理アドレスが書換前に対応していた物理セクタのデータ有効フラグを無効値とし、その論理セクタの書換回数をインクリメントする処理を行う。

【0022】ガバージコレクション制御は、有効データ数の割合が一定の値より小さくなつた消去ブロック7が出たことと、消去状態の消去ブロック7の数が一定の数より小さくなつたことをきっかけに実施される。この制御では、有効データの数が少ない消去ブロック7を消去対象に選択し、有効データを取り出した後、格納データを消去する。そして、取り出した有効データを他の消去ブロック7に格納する。この際、格納先の消去ブロック7は、その有効データの論理アドレスについての書き換えが何回行われたかによって決定する。例えば、100回を1単位として、書換回数が100未満の論理アドレスの実データと、書換回数が100以上200未満の論理アドレスの実データとを、それぞれ別の消去ブロック7に格納する。これにより、書換回数が互いに近い論理アドレスの実データが同じ消去ブロックに格納されるようになる。このガバージコレクション制御によれば、書換回数が少ない論理アドレスの実データが格納される消去ブロック7では無効データが生じる割合が小さくなり、有効データを移動する必要がなくなるため、フラッシュメモリ6におけるデータの移動回数および消去ブロック7の消去回数が低減される。

【0023】書換回数平均化制御では、消去回数の多い消去ブロック7と、消去回数の少ない消去ブロック7とで、格納データの交換を行う。この制御は、例えば、消去回数が一定数を超える消去ブロック7が出たことや、

- 05 全ての消去ブロック7における消去回数の最大値と最低値との差が一定値を越えたことをきっかけに実施される。消去回数の少ない消去ブロック7には、上述のガバージコレクション制御により、書換回数が少ない論理アドレスの実データが格納されている。このため、消去回
- 10 数の多い消去ブロック7では、書換回数が少ない論理アドレスの実データを格納されることで以降の消去回数が少なくなり、フラッシュメモリ6における各消去ブロック7の消去回数は均等化される。

【0024】以下、制御部5によるフラッシュメモリ6の記憶領域管理の具体例を、図6～図8を用いて説明する。

- 【0025】まず、図6により、実データの格納先をその書換回数によって分別する例を説明する。書換要求が出されると、指定された論理アドレスに対応する実データ（実データ1とする）の書き換えが行われる。まず、指定された新たな実データ1が空き状態の物理セクタに格納され、指定された論理アドレスには、格納先の物理セクタの物理アドレスが新たに対応付けられる。そして、書換前の実データ1を格納している物理セクタ10のデータは無効とされる。繰り返し出される書換要求により実データ1の書き換えが100回目となると、実データ1は、書換回数線上用に選択されている消去ブロック7に格納される。以降の実データ1の書き換えも、この書換回数線上用の消去ブロック7上で行われる。これにより、この書換回数線上用の消去ブロック7には、書換回数が100回程度の実データが格納されることになる。そして、新たに選択された書換回数線上用の消去ブロック7には、書換回数が200回程度の実データが格納される。

【0026】次に、図7および図8により、消去回数の多い消去ブロック7と、消去回数の少ない消去ブロック7とで、格納データの交換を行う例を説明する。

- 【0027】図7において、無効データの増加により、消去回数の多い消去ブロック7aで消去がなされた場合には、まず、消去回数の少ない消去ブロック7が検索される。そして、検索された消去ブロック7bの有効データが、上記消去がなされた消去ブロック7aに格納され（a）、消去ブロック7bの格納データは消去される（b）。次に、消去ブロック7bを有効データで埋めるために、消去回数が多い消去ブロック7が検索される。そして、検索された消去ブロック7c, 7dの有効データが消去ブロック7bに格納され（c）、消去ブロック7c, 7dの格納データは消去される（d）。さらに、消去回数の少ない消去ブロック7e, 7fが検索され、50 その有効データがそれぞれ消去ブロック7c, 7dに格

納され(e)、消去ブロック7e, 7fの格納データは消去される。

【0028】図8において、無効データの増加により、消去回数の少ない消去ブロック7aで消去がなされた場合には、まず、消去ブロック7aを有効データで埋めるために、消去回数の多い消去ブロック7が検索される。そして、検索された消去ブロック7b, 7cの有効データが、上記消去のなされた消去ブロック7aに格納され(a)、消去ブロック7b, 7cの格納データは消去される(b)。次に、消去ブロック7b, 7cを有効データで埋めるために、消去回数が多い消去ブロック7が検索される。そして、検索された消去ブロック7d, 7eの有効データがそれぞれ消去ブロック7b, 7cに格納され(c)、消去ブロック7d, 7eの格納データは消去される。

【0029】なお、以上の例では、空き状態の消去ブロック7へデータを移動する消去ブロック7を、その消去回数に応じて選択している。しかし、消去ブロック7に含まれる各実データの書換回数も考慮して、消去ブロック7を選択するようにしてもよい。例えば、消去回数の少ない消去ブロック7にデータを移動するものとしては、消去回数が多く、かつ、書換回数の多い実データを多く含む消去ブロック7を選択することが有効である。逆に、消去回数の多い消去ブロック7にデータを移動するものとしては、消去回数が少なく、かつ、書換回数の少ない実データを多く含む消去ブロック7を選択することが有効である。

【0030】

【発明の効果】本発明によれば、論理アドレス毎の実データの書換頻度に基づいて、フラッシュメモリでの実デ

ータの移動回数および消去ブロックの消去回数を低減する記憶装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明による外部記憶装置の構成例を示す図
05 である。

【図2】 フラッシュメモリの記憶構造を示す説明図
(1) である。

【図3】 フラッシュメモリの消去ブロックの記憶構成を示す図である。

10 【図4】 消去ブロック内の物理セクタの記憶構成を示す図である。

【図5】 フラッシュメモリの記憶構造を示す説明図
(2) である。

【図6】 ガベージコレクション制御の説明図である。

15 【図7】 書込回数平均化制御の説明図(1)である。

【図8】 書込回数平均化制御の説明図(2)である。

【符号の説明】

1 ホストインターフェース

2 マッピングテーブルバス

20 3 マッピングテーブル

4 メモリデータバス

5 制御部

6 フラッシュメモリ

7 消去ブロック

25 8 物理セクタ

9 消去ブロック管理領域

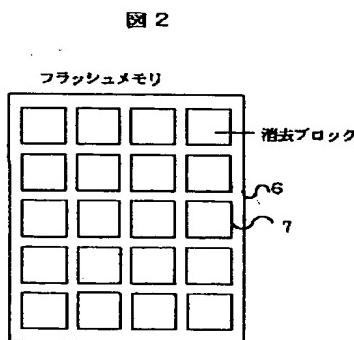
10 論理セクタ

1.1 データ格納領域

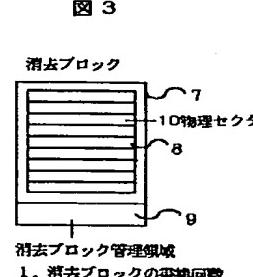
1.2 論理セクタ管理領域

30

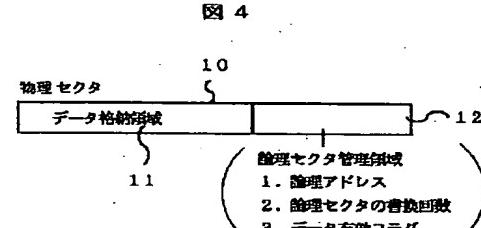
【図2】



【図3】

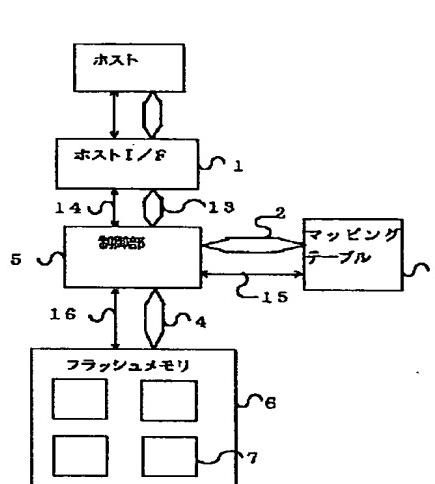


【図4】



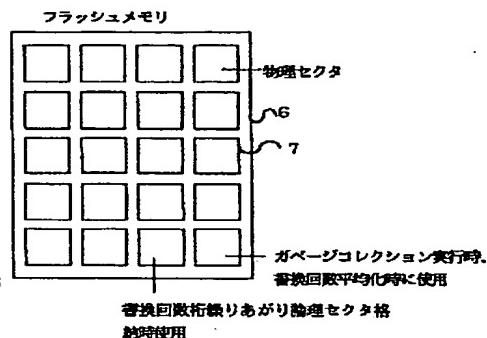
【図1】

図1



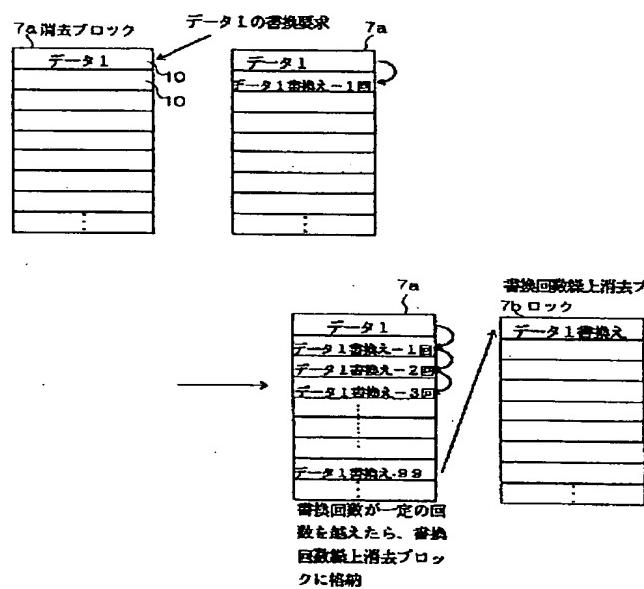
【図5】

図5

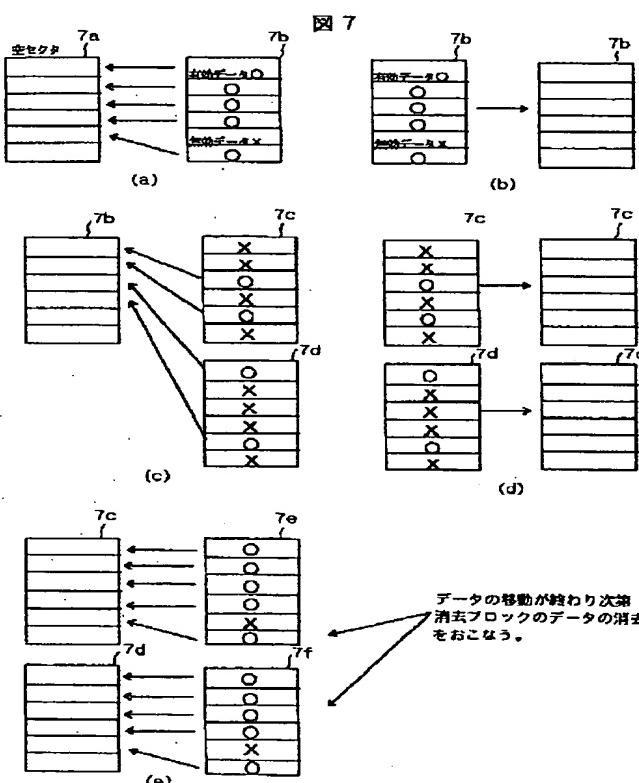


【図6】

図6

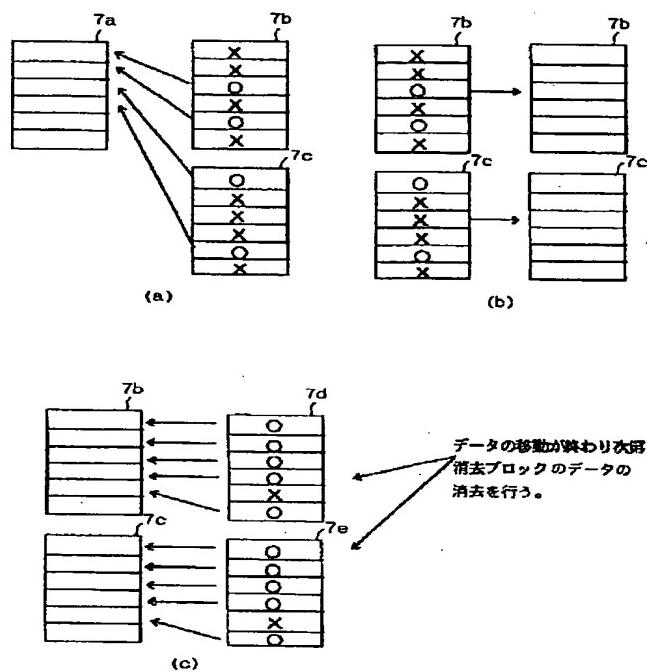


【図7】



【図8】

図8



BEST AVAILABLE COPY